

	FAKULTAS TEKNIK		
	UNIVERSITAS NEGERI YOGYAKARTA		
	LAB SHEET TEKNIK DIGITAL		
	Semester 3	LS 4 : D FLIP - FLOP	4 X 60 Menit
No. LST/EKO/DEL 214/04	Revisi : 01	Tgl : 1 Februari 2010	Hal 1 dari 4

1. Kompetensi

Memahami cara kerja rangkaian D F-F

2. Sub Kompetensi

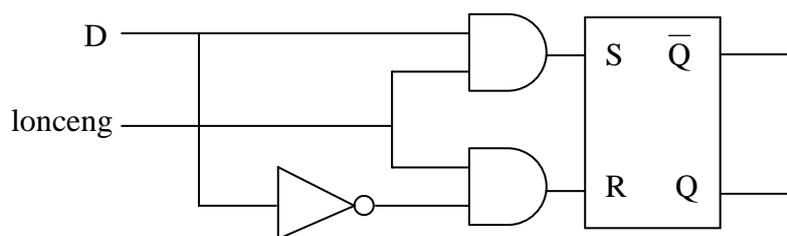
- Memahami cara kerja rangkaian D F-F dengan menggunakan gerbang NOR
- Memahami cara kerja dan fungsi kaki **preset** dan **clear** pada rangkaian D F-F

3. Dasar Teori

Flip-flop RS mempunyai dua masukan data, S dan R. Untuk menyimpan suatu bit tinggi, Anda membutuhkan S tinggi, untuk menyimpan bit rendah, Anda membutuhkan R tinggi. Membangkitkan dua buah sinyal untuk mendrive flip-flop merupakan suatu kerugian dalam berbagai penerapan. Demikian pula, kondisi terlarang yakni R dan S keduanya tinggi dapat terjadi secara tidak sengaja. Hal ini telah membawa kita kepada flip-flop D (D dari *Data*), suatu rangkaian yang hanya membutuhkan sebuah masukan data.

Gambar 1. memperlihatkan suatu cara sederhana untuk membangun sebuah flip-flop D. Jenis flip-flop ini mencegah nilai D mencapai keluaran Q sampai berlangsungnya pulsa lonceng. Cara kerja rangkaian yang bersangkutan cukup jelas, sebagai berikut. Bila lonceng adalah rendah, kedua gerbang AND tertutup; oleh karenanya D dapat berubah nilai tanpa mempengaruhi nilai Q. Sebaliknya, bila lonceng adalah tinggi, kedua gerbang AND terbuka. Dalam hal ini, Q terdorong untuk menyamai nilai D. Bila lonceng turun kembali, Q tak berubah dan menyimpan nilai D yang terakhir.

Terdapat berbagai cara untuk merancang flip-flop D. Pada dasarnya, flip-flop D merupakan multivibrator bistabil yang masukan D nya ditransfer ke keluaran setelah diterimanya sebuah pulsa lonceng.



Gambar 1. Rangkaian flip-flop D

4. Alat dan Instrument

- | | |
|-----------------------------|------------|
| - Digital Trainer Kit | 1 buah |
| - Tools kit(tang) | 1 buah |
| - IC 7474, 7408, 7402, 7404 | @ 1 buah |
| - Kabel penghubung | secukupnya |
| - Pinset | 1 buah |

Dibuat oleh : Herlambang SP	Dilarang memperbanyak sebagian atau seluruh isi dokumen tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta	Diperiksa oleh : ACN
--------------------------------	---	-------------------------



**FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA**

LAB SHEET TEKNIK DIGITAL

Semester 3

LS 4 : D FLIP - FLOP

4 X 60 Menit

No. LST/EKO/DEL 214/04

Revisi : 01

Tgl : 1 Februari 2010

Hal 2 dari 4

5. Keselamatan Kerja

- Bekerjalah dengan keadaan tanpa tegangan pada saat membuat rangkaian dan mengubah rangkaian
- Lepaslah IC dari soket dengan hati-hati dan menggunakan peralatan pinset
- Jauhkan peralatan yang tidak diperlukan dari meja kerja

6. Langkah Kerja

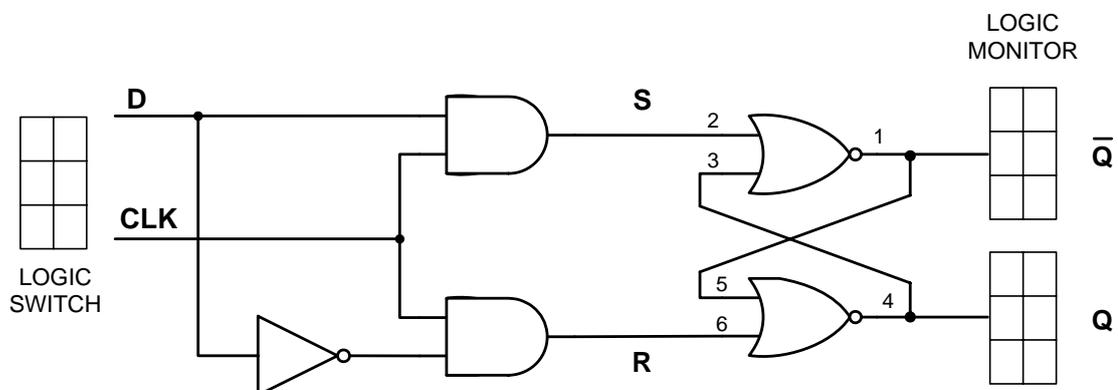
- Gunakan bagian Basic Logic Gates pada digital trainer kit yang disediakan.
- Buatlah rangkaian percobaan 1.
- Berikan input dengan menggunakan *Logic Switch*.
- Bacalah output rangkaian dengan melihat pada *logic monitor*
- Ubahlah input sesuai dengan tabel 1 dan masukkan hasil pengamatan pada tabel tersebut.
- Ulangi langkah c, d, dan e untuk rangkaian 2.

7. Bahan Diskusi

- Jelaskan mengapa bila pulsa clock berada pada keadaan logika 0, perubahan-perubahan pada input D tidak mengakibatkan perubahan pada outputnya
- Jelaskan fungsi clear dan preset pada D Flip-flop dari percobaan rangkaian 2.

8. Lampiran

- Gambar Rangkaian



Rangkaian 1. D – FF dengan gerbang NOR

Dibuat oleh :
Herlambang SP

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :
ACN



**FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA**

LAB SHEET TEKNIK DIGITAL

Semester 3

LS 4 : D FLIP - FLOP

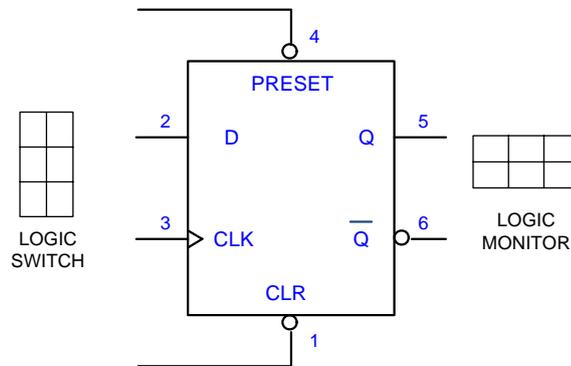
4 X 60 Menit

No. LST/EKO/DEL 214/04

Revisi : 01

Tgl : 1 Februari 2010

Hal 3 dari 4



Rangkaian 2. D – FF dengan fasilitas preset dan clear menggunakan IC 7474

b) Tabel Percobaan

Tabel 1. Percobaan D F-F dengan gerbang NOR

INPUT		OUTPUT	
Clock	D	Q	Q
0	0		
1	0		
0	1		
1	1		
0	0		
1	0		
0	1		
1	1		

Dibuat oleh :
Herlambang SP

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :
ACN



**FAKULTAS TEKNIK
UNIVERSITAS NEGERI YOGYAKARTA**

LAB SHEET TEKNIK DIGITAL

Semester 3

LS 4 : D FLIP - FLOP

4 X 60 Menit

No. LST/EKO/DEL 214/04

Revisi : 01

Tgl : 1 Februari 2010

Hal 4 dari 4

Tabel 2. Percobaan RS F-F dengan gerbang NAND

Preset	Clear	INPUT		OUTPUT	
		Clock	D	Q	Q
0	0	0	0		
0	0	1	0		
0	1	0	1		
0	1	1	1		
1	0	0	0		
1	0	1	0		
1	1	0	0		
1	1	1	0		
1	1	0	1		
1	1	1	1		
1	1	1	0		

Dibuat oleh :
Herlambang SP

Dilarang memperbanyak sebagian atau seluruh isi dokumen
tanpa ijin tertulis dari Fakultas Teknik Universitas Negeri Yogyakarta

Diperiksa oleh :
ACN